

PCT/JP2004/012987  
REC'D OCT/PTO 19 APR 2005

10.09.2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

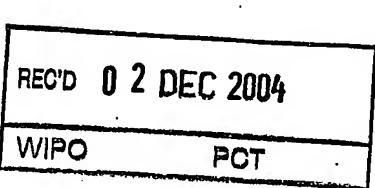
This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2003年10月10日

出願番号  
Application Number: 特願2003-352770

[ST. 10/C]: [JP2003-352770]

出願人  
Applicant(s): 株式会社村田製作所

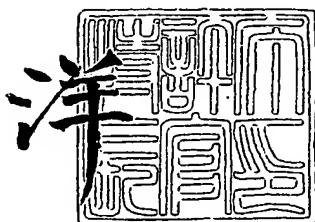


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年11月18日

特許長官  
Commissioner,  
Japan Patent Office

小川



出証番号 出証特2004-3095529

【書類名】 特許願  
【整理番号】 03-0026  
【提出日】 平成15年10月10日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01F 17/00  
H01F 41/04

【発明者】  
【住所又は居所】 京都府長岡京市天神二丁目 26 番 10 号  
株式会社 村田製作所 内  
【氏名】 前田 英一

【発明者】  
【住所又は居所】 京都府長岡京市天神二丁目 26 番 10 号  
株式会社 村田製作所 内  
【氏名】 田中 寛司

【特許出願人】  
【識別番号】 000006231  
【氏名又は名称】 株式会社 村田製作所  
【代表者】 村田 泰隆

【代理人】  
【識別番号】 100092554  
【弁理士】  
【氏名又は名称】 町田 裕次郎

【手数料の表示】  
【予納台帳番号】 012140  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9004884

**【書類名】特許請求の範囲****【請求項 1】**

複数の帯状電極と、これら帯状電極の所定の端部同士を接続するバイアホールとからなるコイル導体が、略直方体形状を有するセラミック積層体の内部に設けられてなる積層コイル部品であって、

前記コイル導体の軸心方向は、前記セラミック積層体の積層方向（厚み方向）および長さ方向のいずれとも直交する前記セラミック積層体の幅方向と一致していることを特徴とする積層コイル部品。

**【請求項 2】**

前記コイル導体の端部と接続される外部電極を、前記セラミック積層体の積層方向における主表面の長さ方向の端部位置に形成していることを特徴とする請求項 1 に記載の積層コイル部品。

**【請求項 3】**

前記外部電極は、前記バイアホールが形成された領域を被覆した状態で形成されていることを特徴とする請求項 2 に記載の積層コイル部品。

**【請求項 4】**

請求項 3 に記載の積層コイル部品を製造する方法であって、

前記帯状電極または／およびバイアホールが形成されたセラミックグリーンシートと、前記外部電極の下地となる導体パターンが印刷されたセラミックグリーンシートとを積層した後、圧着して焼成する工程を含むことを特徴とする積層コイル部品の製造方法。

**【書類名】**明細書

**【発明の名称】**積層コイル部品およびその製造方法

**【技術分野】**

**【0001】**

本発明は積層コイル部品およびその製造方法に係り、特に、セラミック積層体の内部におけるコイル導体の配置状態に関する。

**【背景技術】**

**【0002】**

積層コイル部品の一例としては、特許文献1で開示された縦積層横巻型のチップインダクタがある。図1-1で示すように、チップインダクタ3-1は、略直方体形状とされたセラミック積層体3-2の積層方向(厚み方向)Xと直交する一方、つまり、セラミック積層体3-2の長さ方向Yと一致した方向を軸芯方向とするコイル導体3-3がセラミック積層体3-2の内部に設けられたものである。そして、このコイル導体3-3は、セラミック積層体3-2内の上側位置および下側位置に形成された帯状電極3-4それぞれの端部同士が、セラミック積層体3-2をその厚み方向Xに貫通して形成されたバイアホール3-5を介して接続された構造を有している。

**【0003】**

なお、この際におけるバイアホール3-5は、セラミック積層体3-2を構成するためのセラミックグリーンシート、例えば、フェライトシート等であるセラミックグリーンシートそれぞれの所定位置ごとに貫通孔を形成し、これら貫通孔の内部にA gペースト等のような導体(導電ペースト)を充填して形成されたものである。また、セラミック積層体3-2の上側の端部位置に形成された帯状電極3-4の各々は、セラミック積層体3-2の長さ方向Yにおける端面まで引き出されており、セラミック積層体3-2の端面を被覆して形成された外部電極3-7と各別に接続されている。

**【0004】**

一方、このチップインダクタ3-1が備えるセラミック積層体3-2を作製する際には、図示省略しているが、まず最初に、バイアホール3-5のみが形成されたセラミックグリーンシートの多数枚を積層方向Xの中央位置に配置し、その上側位置および下側位置に対して帯状電極3-4およびバイアホール3-5が形成されたセラミックグリーンシートの複数枚を配置することが行われる。そして、その上側位置および下側位置に対しては、帯状電極3-4およびバイアホール3-5のいずれもが形成されていないセラミックグリーンシートの複数枚がさらに配置される。

**【0005】**

その後、セラミックグリーンシートが積層されてなるシート積層体を積層方向Xに沿って一体的に圧着し、かつ、引き続いて焼成すると、セラミック積層体3-2が得られる。さらに、このセラミック積層体3-2の端面上に外部電極3-7を導電ペーストをディップ処理して焼き付けると、いわゆる端面ディップ品としてのチップインダクタ3-1が完成する。

**【特許文献1】**特開2002-252117号公報

**【発明の開示】**

**【発明が解決しようとする課題】**

**【0006】**

ところで、積層コイル部品におけるコイルのL(インダクタンス)取得効率、例えば、前記した従来のチップインダクタ3-1におけるコイル導体3-3のL取得効率は、コイル導体3-3の内側面積と外側面積とが同等である、つまり、これらの面積比率が1:1に近くなるよう設計している場合に最も良好となる。その一方、チップインダクタ3-1の設計においては、いくつかの考慮すべき制約事項がある。

**【0007】**

すなわち、セラミック積層体3-2の内部に配置されるコイル導体3-3の厚み方向Xにおける上側位置および下側位置に配置されて外装部分となるセラミックグリーンシートは、

A g 拡散を防止するため、ある程度以上の外装厚みであることが必要とされる。また、積層ずれや切断（カット）ずれが発生した場合でも、帯状電極 3 4 やバイアホール 3 5 が外部にまで露出してしまうのを防止する必要上、セラミック積層体 3 2 の幅方向 Z における必要最小限のサイドギャップを確保しておかなければならぬ。

#### 【0008】

そして、チップインダクタ 3 1 の外形サイズが小さい場合ほど、これらの制約事項は大きく作用する。その結果、コイル導体 3 3 の内側面積と外側面積とが同等であるように設計することはかなり困難となる。

#### 【0009】

また、チップインダクタ 3 1 が備えるセラミック積層体 3 2 は、多数枚のセラミックグリーンシートを積層して圧着し、さらに、カットしたものを焼成することによって作製される。ところが、その圧着時においては、バイアホール 3 5 となる貫通孔に充填された導体の方がセラミックグリーンシートよりも潰れ難いのが一般的であるため、これらの導体がいわば圧着時の押圧力に抗する柱体のように作用し、バイアホール 3 5 が押圧力を支えるような状態となってしまう。

#### 【0010】

従って、バイアホール 3 5 同士が近接しあって配置された周辺部に位置するセラミック部分には、バイアホール 3 5 から離間した位置にあるセラミック部分に比し、より小さな押圧力しか作用し得ないこととなる。そして、押圧力が不足する結果としてバイアホール 3 5 近傍のセラミック部分では、焼成時における焼成不足やデラミネーション等が発生し易くなってしまう。また、バイアホール 3 5 となる導体の A g がセラミック部分に拡散し易くなり、バイアホール 3 5 同士間の絶縁抵抗が低下することも起こる。

#### 【0011】

本発明はこれらの問題点に鑑みて創案されたものであって、小型化および薄型化を実現しながらもコイル導体の内側面積と外側面積とを同等として高い L 取得効率を確保することが可能であり、かつ、バイアホール同士間における絶縁抵抗の低下を有効に防止することができる積層コイル部品と、その製造方法とを提供することを目的としている。

#### 【課題を解決するための手段】

#### 【0012】

請求項 1 記載の本発明に係る積層コイル部品は、複数の帯状電極と、これら帯状電極の所定の端部同士を接続するバイアホールとからなるコイル導体が、略直方体形状を有するセラミック積層体の内部に設けられてなるものであって、前記コイル導体の軸心方向は、前記セラミック積層体の積層方向（厚み方向）および長さ方向のいずれとも直交する方向である前記セラミック積層体の幅方向と一致していることを特徴とする。すなわち、この際におけるコイル導体の軸心方向は、前記セラミック積層体の積層方向（厚み方向）と垂直であり、かつ、前記セラミック積層体の長さ方向とも垂直になっている。

#### 【0013】

請求項 2 に記載の本発明に係る積層コイル部品は請求項 1 に記載したものであって、前記コイル導体の端部と接続される外部電極を、前記セラミック積層体の積層方向における主表面の長さ方向の端部位置に形成していることを特徴とする。

#### 【0014】

請求項 3 に記載の本発明に係る積層コイル部品は請求項 2 に記載したものであって、前記外部電極は、前記バイアホールが形成された領域を被覆した状態で形成されていることを特徴とする。

#### 【0015】

請求項 4 に記載の本発明に係る積層コイル部品の製造方法は請求項 3 に記載の積層コイル部品を製造する方法であって、前記帯状電極または／およびバイアホールが形成されたセラミックグリーンシートと、前記外部電極の下地となる導体パターンが印刷されたセラミックグリーンシートとを積層した後、圧着して焼成する工程を含んでいることを特徴とする。

## 【発明の効果】

## 【0016】

一般的なコイルでは、その内径が狭くて長さが長い形状である方が、磁束が均等に分布し、磁気飽和が発生し難いとされる。ところが、コイル導体を内蔵してなる積層コイル部品の小型化および薄型化、特に、その低背化を実現するため、積層コイル部品の厚み寸法をその長さ寸法や幅寸法に比して小さくしたとき、コイル導体の軸心方向がセラミック積層体の長さ方向と一致していると、コイル導体の内側面積がその外側面積よりも極端に小さくなる。

## 【0017】

これに対し、請求項1に記載した積層コイル部品にあっては、コイル導体の軸心方向をセラミック積層体の積層方向（厚み方向）および長さ方向のいずれとも直交する方向であるセラミック積層体の幅方向と一致させている。そのため、コイル導体の内側面積がその外側面積よりも極端に小さくなることを防止し、これらの面積を同等としてコイル導体のL取得効率を高くすることが可能となる。

## 【0018】

従って、積層コイル部品の小型化および薄型化を実現し、その外装厚みとサイドギャップとを必要最小限まで小さくした場合でも高いL取得効率を確保することが可能となり、これに伴って重畠特性を改善することができる。さらに、このような構造であれば、バイアホールの個数が従来よりも少なくて済むため、加工コストが安価になるという効果も得られる。

## 【0019】

請求項2に記載した積層コイル部品では、コイル導体の端部と接続される外部電極をセラミック積層体の積層方向における主表面の長さ方向の端部位置に形成している。すなわち、この積層コイル部品においては、外部電極をセラミック積層体の長さ方向における端面ではなく、その厚み方向の主表面に形成することが行われている。

## 【0020】

従来の積層コイル部品における外部電極は、セラミック積層体の端面をディップ処理して形成されるのが通常であり、セラミック積層体の主表面に外部電極を形成することは実行されていなかった。しかし、本発明に係る積層コイル部品では、セラミック積層体の主表面に外部電極を形成しているので、積層コイル部品を基板等に実装する場合、つまり、積層コイル部品の外部電極と基板等の配線パターンとを接続する場合における接続作業が容易になるという効果が得られる。

## 【0021】

すなわち、例えば、積層コイル部品の外部電極と基板等の配線パターンとをワイヤボンディングで接続したり、積層コイル部品の外部電極を基板等の配線パターンにバンプを介して対向させたうえで接合したりする等の作業が極めて容易に行える。なお、この際における外部電極は、バレル工程で削られたり剥がれたりするのを防止するため、セラミック積層体の主表面の端縁よりも内側の位置に形成されていることが好ましい。また、このような構造であれば、従来の端面ディップ品に比して浮遊容量が少なくなるという利点も確保される。

## 【0022】

請求項3に記載の本発明に係る積層コイル部品では、バイアホールが形成された領域を外部電極でもって被覆しているので、セラミック積層体の圧着時には、バイアホールのみならず、その周辺部のセラミック部分にまでも、外部電極を介して圧着時の押圧力が作用する。そのため、これらバイアホールの周辺部に位置するセラミック部分も、バイアホールから離間した位置にあるセラミック部分と同様の押圧力によって押圧される。

## 【0023】

従って、バイアホール近傍のセラミック部分においても、焼成時における焼成不足やデラミネーション等の発生を防止し易くなる。その結果、セラミック部分に対するA<sub>g</sub>拡散やバイアホール同士間の絶縁抵抗が低下するのを有効に防止できる。

**【0024】**

また、圧着時にプレス金型で圧着すると、セラミック積層体の主表面に形成された外部電極の表面が平坦となる。そのため、例えば、外部電極にボンディングワイヤを接合する場合等においては、従来のディップ処理によって形成した外部電極に比し、接合強度が向上するという利点も確保される。

**【0025】**

請求項4に記載の本発明に係る積層コイル部品の製造方法では、帯状電極または／およびバイアホールが形成されたセラミックグリーンシートと、外部電極の下地となる導体パターンが印刷されたセラミックグリーンシートとを積層した後、圧着して焼成することが行われる。このようにすれば、請求項3に記載した積層コイル部品を容易に作製することができる。

**【0026】**

また、このような製造方法であれば、バイアホールを介して外部電極とコイル導体とを接続したうえでセラミック積層体と同時に焼成することが可能となる。そして、同時焼成すれば、外部電極となる導電ペーストをわざわざ別に塗布して焼き付ける工程が不要となるので、加工コストを低減できるという効果も得られる。

**【発明を実施するための最良の形態】****【0027】**

積層コイル部品の小型化および薄型化を実現しながらコイル導体の内側面積と外側面積とを同等とし、高いL取得効率を確保するとともに、バイアホール同士間における絶縁抵抗の低下を有効に防止するという目的を、極めて簡単な構造および製造方法でもって実現した。

**【実施例1】****【0028】**

図1は実施例1に係る積層コイル部品の一例であるチップインダクタの外観構造を示す斜視図、図2はその分解構造を示す斜視図であり、図3は電流印加時のL特性を示す説明図である。そして、図4は電流印加時のL変化率を示す説明図であり、図5はコイル導体の面積比率と重畠特性との関係を示す説明図である。また、図6～図8はチップインダクタの実装構造を示す側面図であり、図6は第1の実装構造、図7は第2の実装構造、図8は第3の実装構造をそれぞれ示している。

**【0029】**

チップインダクタ1は、図1で外観構造を示し、かつ、図2で分解構造を示すように、複数の帯状電極2と、各帯状電極2の所定の端部同士を機械的および電気的に接続する多数個のバイアホール3とからなるコイル導体4が、略直方体形状を有するセラミック積層体5の内部に設けられたものである。すなわち、このチップインダクタ1では、セラミック積層体5の積層方向（厚み方向）Xにおける上部側および下部側の所定位置ごとに形成された帯状電極2の端部同士を、セラミック積層体5の厚み方向Xに貫通して形成されたバイアホール3でもって互いに接続することにより周回した形状のコイル導体4が構成されている。

**【0030】**

このとき、コイル導体4の軸心方向は、セラミック積層体5の積層方向（厚み方向）Xと直交し、かつ、セラミック積層体5の長さ方向Yとも直交する方向であるセラミック積層体5の幅方向Zと一致している。つまり、このコイル導体4の軸心方向は、セラミック積層体5の積層方向Xと垂直であり、セラミック積層体5の長さ方向とも垂直であるとされている。そして、セラミック積層体5の上部側に配置され、かつ、その幅方向Zに沿う最も外側に配置された帯状電極2それぞれの一方側の端部は、セラミック積層体5をその厚み方向Xに貫通して形成されたバイアホール3を介してセラミック積層体5の厚み方向Xにおける上側の主表面にまで引き出されている。

**【0031】**

また、このセラミック積層体5の厚み方向Xにおける上側の主表面の長さ方向Yの端部

位置には外部電極6がそれぞれ露出した状態で形成されており、セラミック積層体5の上側の主表面にまで引き出されたバイアホール3は、外部電極6と各別に接続させられて導通している。そこで、チップインダクタ1の外部電極6のそれぞれは、セラミック積層体5の積層方向Xから見たとき、バイアホール3が形成された領域を被覆した状態となっている。

#### 【0032】

なお、帯状電極2および外部電極6はAgペースト等のような導体（導電ペースト）を用いてセラミック積層体5を構成するセラミックグリーンシート7の表面上に形成されたものであり、図2では帯状電極2が3層にわたって形成されるとしているが、1層のみ形成されたものであってもよい。また、バイアホール3の各々は、セラミックグリーンシート7それぞれの所定位置ごとにに対するレーザ光照射等によって貫通孔を形成し、かつ、この貫通孔の内部にAgペースト等の導体を充填して形成されたものである。

#### 【0033】

さらに、本実施例では、外部電極6のそれをセラミック積層体5の主表面の端縁よりも内側の位置に形成しているが、このような形成状態であれば、バレル工程で外部電極6が削られたり剥がれたりするのを防止することが可能になる。但し、このような形成状態に限定されることではなく、図示省略しているが、セラミック積層体5の主表面の端縁にまで至るようにして外部電極6のそれを形成してもよいことは勿論である。

#### 【0034】

チップインダクタ1においては、コイル導体4の軸心方向をセラミック積層体5の積層方向（厚み方向）Xおよび長さ方向Yのいずれとも直交するセラミック積層体5の幅方向Zと一致させている。そして、このチップインダクタ1における焼成後の厚み寸法が0.35mmで幅寸法が3.2mmであり、かつ、外装厚みが0.04mmでサイドギャップが0.1mmのチップインダクタ1である場合には、コイル導体4の内側面積および外側面積が同等である、つまり、これら同士の面積比率が1:1.4であるため、コイル導体4のL取得効率が1.1 $\mu$ Hとなることが本発明の発明者らにより確認されている。

#### 【0035】

一方、従来例に係るチップインダクタ31では、例えば、焼成後の厚み寸法が0.35mmで幅寸法が1.6mmであり、外装厚みが0.04mmでサイドギャップが0.1mmのチップインダクタ31である場合、コイル導体33における内側面積と外側面積との面積比率が1:1.8となる。そのため、コイル導体33のL取得効率は1.0 $\mu$ Hであるに過ぎず、本実施例に係るチップインダクタ1のL取得効率が従来例に係るチップインダクタ31よりも高くなることも併せて確認されている。

#### 【0036】

ところで、本発明の発明者らが、電流印加時のL特性と、電流印加時のL変化率とを測定してみたところ、図3および図4で示すような測定結果が得られた。すなわち、これらの図中における実線は本実施例に係るチップインダクタ1の場合、また、破線は従来例に係るチップインダクタ31の場合を示しており、L特性およびL変化率とともに本実施例に係る構造の方が良好であることが分かる。

#### 【0037】

また、インダクタンスが30%低下するときの電流値を調査してみたところ、コイル導体4の面積比率と重畠特性との間には、図5で示すような関係のあることが見いだされている。すなわち、調査結果によると、コイル導体4の内側面積と外側面積との面積比率が1:1に近ければ、これらの面積比率が1:1から遠い場合に比して大きな電流値を許容可能であり、多くの電流が重畠しても高いインダクタンスを維持できることが分かる。そのため、本実施例に係る構造のチップインダクタ1であれば、外装厚みとサイドギャップとを必要最小限にまで小さくしても、高いL取得効率を確保しながら重畠特性を改善することが可能となる。

#### 【0038】

さらに、チップインダクタ1では、セラミック積層体5の主表面に外部電極6を形成し

ており、かつ、セラミック積層体5におけるバイアホール3が形成された領域は外部電極6によって被覆されている。そこで、セラミック積層体5の圧着時には、バイアホール3のみならず、その周辺部のセラミック部分にまでも、外部電極を介して圧着時の押圧力が作用する。その結果、バイアホール3同士間に配置されたセラミック部分も十分に圧着されることとなり、セラミック積層体5の焼成時における焼成不足やデラミネーションの発生を防止することが可能となる。

#### 【0039】

すなわち、本発明の発明者らが、セラミック積層体5の主表面に形成された外部電極6の厚みとデラミネーションの発生率との関係を調査したところ、つぎのような調査結果が得られた。まず、セラミック積層体5の主表面に外部電極6を形成していない場合は、デラミネーションの発生率が15%であった。

#### 【0040】

これに対し、印刷時の厚みが $5\ \mu\text{m}$ で圧着後の厚みが $3\ \mu\text{m}$ となる外部電極6を形成した場合におけるデラミネーションの発生率は10%、また、印刷時の厚みが $15\ \mu\text{m}$ で圧着後の厚みが $10\ \mu\text{m}$ となる外部電極6を形成したときのデラミネーションの発生率は0%となり、外部電極6を形成している場合には、デラミネーションの発生率が大きく改善されることが確認された。特に、外部電極6の印刷時厚みは、 $15\ \mu\text{m}$ 以上であることが好ましい。

#### 【0041】

そして、セラミック積層体5の焼成時における焼成不足やデラミネーションの発生を防止することが可能であれば、バイアホール3同士間に配置されたセラミック部分に対するA<sub>g</sub>拡散やバイアホール同士間の絶縁抵抗が低下することを有効に防止できる。また、図示省略しているが、セラミック積層体5の圧着時にプレス金型で圧着することを行うと、外部電極6の表面が平坦となるため、例えは、外部電極6にボンディングワイヤを接合する場合等における接合強度が向上するという利点も確保される。

#### 【0042】

本発明の発明者らは、チップインダクタ1が備えるセラミック積層体5の主表面の外部電極6にNi下地メッキおよびAuメッキを施した構造と、従来例に係るチップインダクタ31のように、セラミック積層体32の端面にディップ処理して焼き付けられた外部電極37にNi下地メッキおよびAuメッキを施した構造とにおける接合強度を評価してみた。すなわち、これらの両構造に対し、Auワイヤボンディング評価であるポールシェア試験とワイヤブル試験とを実行してみたところ、いずれの試験においても、チップインダクタ1の場合、つまり、セラミック積層体5の主表面に形成された外部電極6にNi下地メッキおよびAuメッキを施してなる構造の方が接合強度は良好であることが確認されている。

#### 【0043】

さらに、チップインダクタ1を構成するセラミック積層体5の厚み方向Xにおける上側の主表面の長さ方向Yの端部位置に外部電極6を形成している場合には、以下のような各種の実装構造を採用することが可能となる。まず、図6で示す第1の実装構造のように、チップインダクタ1の外部電極6と、このチップインダクタ1が実装される基板等の配線パターン8とをAuワイヤ9等によるワイヤボンディングでもって接合することが容易となる。

#### 【0044】

また、図7で示す第2の実装構造のように、半田ボールまたはAuボール10を用いて接合してもよい。すなわち、この場合には、まず最初に、チップインダクタ1の外部電極6上に半田ボールまたはAuボール10を搭載しておき、リフロー処理するか超音波処理するかして外部電極6に半田ボールまたはAuボール10を接合する。その後、チップインダクタ1を上下反転させ、半田ボールまたはAuボール10を基板等の配線パターン8にリフロー処理等でもって接合することが行われる。

#### 【0045】

さらに、図8で示す第3の実装構造のように、Auメッキされたチップインダクタ1の外部電極6と基板等の配線パターン8とを直接的に接触させたうえでの超音波処理により接合してもよい。さらにまた、図示を省略しているが、チップインダクタ1の外部電極6と、このチップインダクタ1が実装される基板等の配線パターン8とを導電性接着剤や異方性導電テープで接合することも可能となる。そして、このような実装構造である場合には、チップインダクタ1に半田接合時のような高熱が加わることがないため、チップインダクタ1自体の特性変動を抑制できるという利点が確保される。

#### 【0046】

つぎに、図2を参照しながらチップインダクタ1の製造方法を説明する。まず最初に、磁性体材料であるNiCuZn系フェライトに水系バインダ（酢酸ビニルや水溶性アクリル等）または有機系バインダ（ポリビニルブチラール等）を加えるとともに、分散剤や消泡剤等を添加したうえ、ドクターブレード法やリバースロールコータを用いた方法によりセラミックグリーンシート7を成形する。そして、セラミックグリーンシート7のうちの所要枚数に対してはレーザ光を照射し、バイアホール3となる貫通孔を各セラミックグリーンシート7の所定位置ごとに形成する。

#### 【0047】

引き続き、Agペーストのスクリーン印刷によってセラミックグリーンシート7に形成済みの貫通孔それぞれにAgペーストを充填し、バイアホール3を形成する。また、Agペーストのスクリーン印刷により、各セラミックグリーンシート7の表面上における所定位置に対し、コイル導体4の一部分となる帯状電極2を形成するとともに、他のセラミックグリーンシート7の表面上における所定位置に対し、外部電極6の下地となる導体パターンを形成する。

#### 【0048】

その後、バイアホール3のみが形成された所定枚数のセラミックグリーンシート7を積層方向Xの中央位置に配置し、これらの上下位置それぞれに対し、帯状電極2およびバイアホール3が形成された所定枚数のセラミックグリーンシート7を配置する。さらに、これらの上側位置に対し、外部電極6の下地となる導体パターンが形成されたセラミックグリーンシート7を重ねて配置する一方、その下側位置に対し、帯状電極2およびバイアホール3、外部電極6の下地となる導体パターンのいずれもが形成されていないセラミックグリーンシート7を重ねて配置する。

#### 【0049】

さらに、このようにして積層されたシート積層体11を積層方向Xに沿って圧着し、所定の寸法でカットした後、脱脂および焼成すると、セラミック積層体5が得られる。引き続き、外部電極6の下地となる導体パターンに対し、Ni下地メッキおよびAuメッキを施すことによって外部電極6を形成すると、チップインダクタ1が完成する。なお、Ni下地メッキおよびAuメッキに限らず、Ni下地メッキおよびSnメッキであってもよい。また、シート積層体11の圧着時における印加圧力は、1.0~1.2t/cm<sup>2</sup>とされる。

#### 【0050】

さらに、このような製造方法であれば、バイアホール3を介して外部電極6になる導体パターンとコイル導体4とを接続したうえでセラミック積層体5と同時に焼成することが可能となる。そのため、これらを同時焼成するようにすれば、外部電極6となる導電ペーストをわざわざ別に塗布して焼き付ける工程が不要となる。

#### 【0051】

本実施例では、セラミック積層体5の内部に1つのコイル導体4を設けてなるチップインダクタ1が積層コイル部品であるとしているが、本発明の適用対象となる積層コイル部品が上記したチップインダクタ1のみに限定されることはない。すなわち、セラミック積層体5の内部に2つ以上のコイル導体4を並列状で設けてなる構造であってもよく、このような構造のチップインダクタはトランスやコモンチョークコイルとして利用される。また、積層型インピーダンスや積層型LCフィルタ等のような他の積層コイル部品に対しても、

本発明の適用が可能であることは勿論である。

【実施例2】

【0052】

図9は本発明の実施例2に係るチップインダクタの外観構造を示す斜視図であり、図10はその分解構造を示す斜視図であり、これらの図における符号21はチップインダクタを示している。なお、本実施例に係るチップインダクタ21の構造は、その外部電極に関する構造を除くと、実施例1に係るチップインダクタ1と基本的に異なる。

【0053】

従って、図9および図10において、図1および図2と互いに同一となる部分には同一符号を付し、ここでの詳しい説明は省略している。また、実施例2に係るチップインダクタ21の製造方法および機能も実施例1に係るチップインダクタ1の場合と基本的に異なるので、ここでの詳しい説明は省略する。

【0054】

チップインダクタ21は、チップインダクタ1と同様、図9で外観構造を示し、かつ、図10で分解構造を示すように、複数の帯状電極2と、各帯状電極2の所定の端部同士を機械的および電気的に接続する多数個のバイアホール3とからなるコイル導体4が、略直方体形状を有するセラミック積層体22の内部に設けられたものである。そして、この際におけるコイル導体4の軸心方向も、セラミック積層体22の積層方向(厚み方向)Xと直交し、かつ、セラミック積層体22の長さ方向Yとも直交する方向であるセラミック積層体22の幅方向Zと一致している。

【0055】

また、セラミック積層体22の上部側に配置され、かつ、その幅方向Zに沿う最も外側に配置された帯状電極2の一方側の端部は、セラミック積層体22をその厚み方向Xに貫通して形成されたバイアホール3を介してセラミック積層体22の厚み方向Xにおける上側の主表面にまで引き出されている。さらに、セラミック積層体22の厚み方向Xにおける上側の主表面の長さ方向Yの端部位置には、外部電極23がそれぞれ設けられている。

【0056】

このとき、外部電極23のそれぞれは、図9および図10で示すように、セラミック積層体22の最上層に露出し、互いに分離して形成された一対の上側電極24と、その直下層に一体として形成された下側電極25とから構成されており、上側電極24と下側電極25とはバイアホール3を介して接続されている。そして、これらの外部電極23は、セラミック積層体22の積層方向Xから見たとき、バイアホール3が形成された領域を被覆した状態となっている。

【0057】

つぎに、図10を参照しながらチップインダクタ21の製造方法を説明する。まず最初に、セラミックグリーンシート7を成形したうえ、所要枚数のセラミックグリーンシート7における所定位置ごとに對し、バイアホール3となる貫通孔を形成する。引き続き、スクリーン印刷によってAgペーストを充填してバイアホール3を形成するとともに、Agペーストのスクリーン印刷により、各セラミックグリーンシート7の表面上における所定位置に対し、コイル導体4の一部分となる帯状電極2を形成する。

【0058】

また、他のセラミックグリーンシート7の表面上における所定位置に対し、外部電極23の上側電極24および下側電極25の下地となる導体パターンをそれぞれ形成する。その後、バイアホール3のみが形成された所定枚数のセラミックグリーンシート7を積層方向Xの中央位置に配置し、これらの上下位置それぞれに対し、帯状電極2およびバイアホール3が形成された所定枚数のセラミックグリーンシート7を配置する。

【0059】

さらに、これらの上側位置に対し、外部電極23の下側電極25の下地となる導体パターンが形成されたセラミックグリーンシート7を配置したうえ、その上側位置に対して外

部電極23の上側電極24の下地となる導体パターンが形成されたセラミックグリーンシート7を重ねて配置する。その一方、下側位置に対しては、帯状電極2およびバイアホール3、外部電極6の上側電極24および下側電極25の下地となる導体パターンのいずれもが形成されていないセラミックグリーンシート7を配置する。

#### 【0060】

このようにして積層されたシート積層体27を積層方向Xに沿って圧着し、所定の寸法でカットした後、脱脂および焼成すると、セラミック積層体22が得られる。そこで、引き続き、外部電極23の上側電極24の下地となる導体パターンに対し、Ni下地メッキおよびAuメッキを施すことによって外部電極23を形成すると、図9で外観構造を示したチップインダクタ21が完成する。このような構造とされたチップインダクタ21であれば、実施例1に係るチップインダクタ1よりもAuメッキの面積が少なくて済むので、製造コストの低減が可能となる。

#### 【図面の簡単な説明】

#### 【0061】

【図1】本発明の実施例1に係る積層コイル部品の一例であるチップインダクタの外観構造を示す斜視図である。

【図2】その分解構造を示す斜視図である。

【図3】電流印加時のL特性を示す説明図である。

【図4】電流印加時のL変化率を示す説明図である。

【図5】コイル導体の面積比率と重量特性との関係を示す説明図である。

【図6】チップインダクタの第1の実装構造を示す側面図である。

【図7】チップインダクタの第2の実装構造を示す側面図である。

【図8】チップインダクタの第3の実装構造を示す側面図である。

【図9】本発明の実施例2に係る積層コイル部品の一例であるチップインダクタの外観構造を示す斜視図である。

【図10】その分解構造を示す斜視図である。

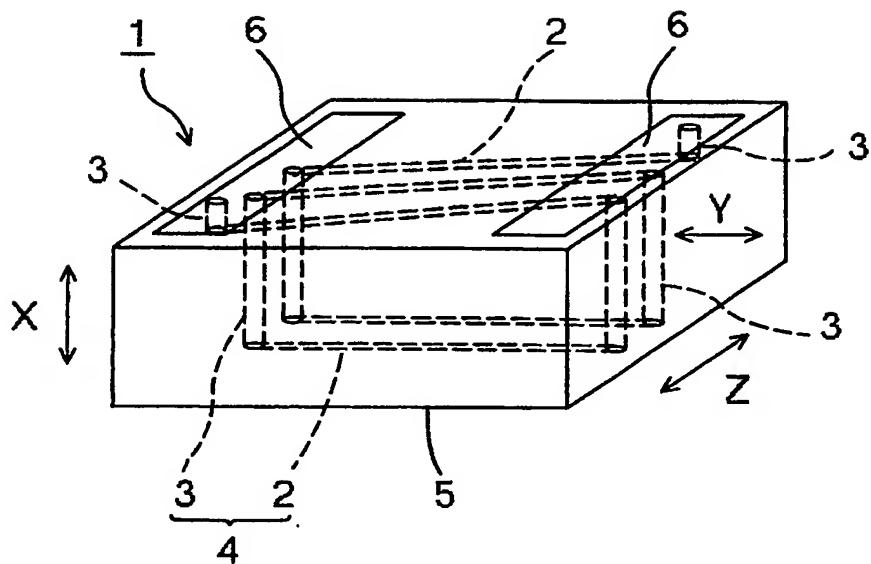
【図11】従来例に係る積層コイル部品の一例であるチップインダクタの外観構造を示す斜視図である。

#### 【符号の説明】

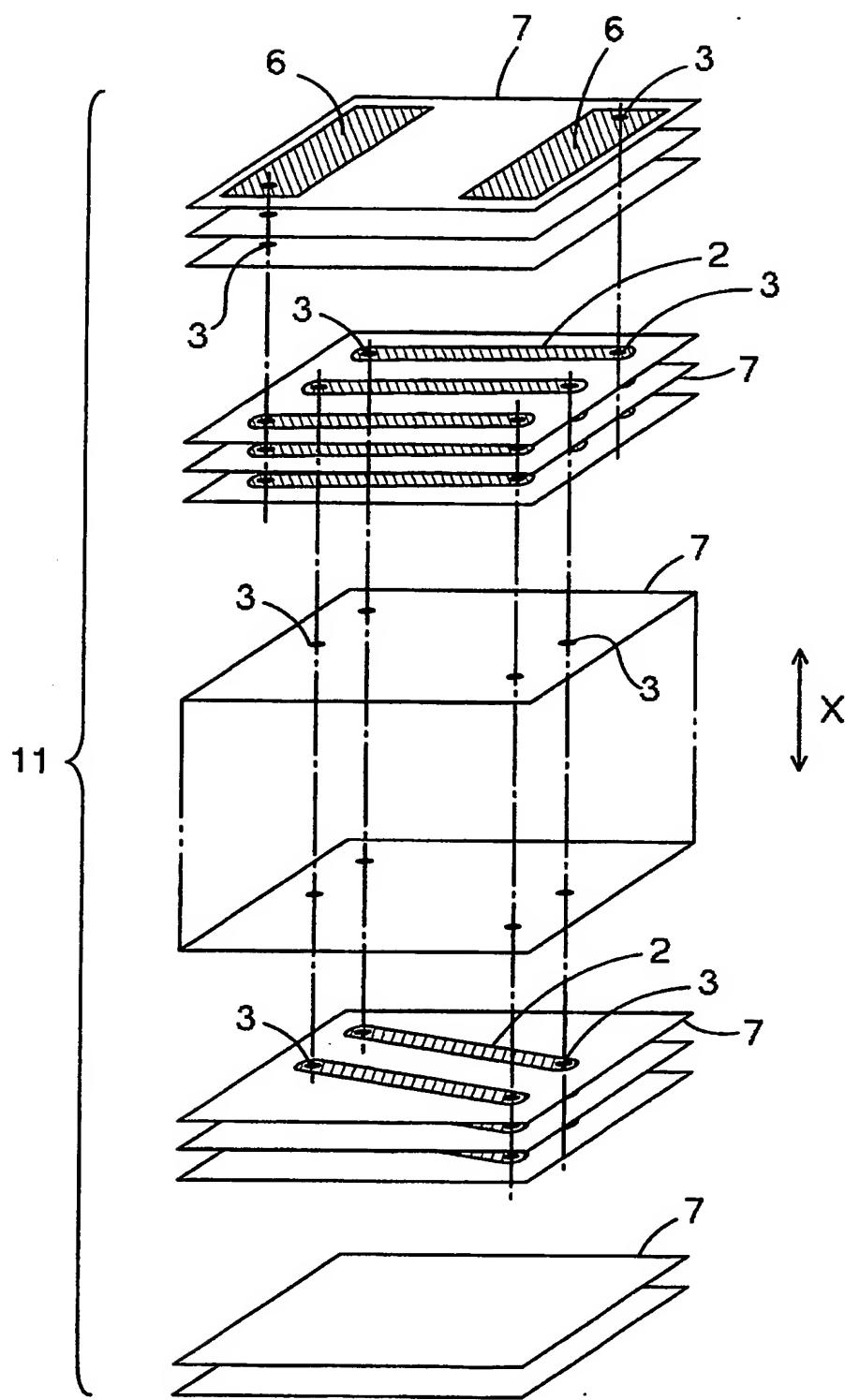
#### 【0062】

- 1 チップインダクタ（積層コイル部品）
- 2 帯状電極
- 3 バイアホール
- 4 コイル導体
- 5 セラミック積層体
- 6 外部電極
- 7 セラミックグリーンシート
- 21 チップインダクタ（積層コイル部品）
- 22 セラミック積層体
- 23 外部電極
- X セラミック積層体の積層方向（厚み方向）
- Y セラミック積層体の長さ方向
- Z セラミック積層体の幅方向

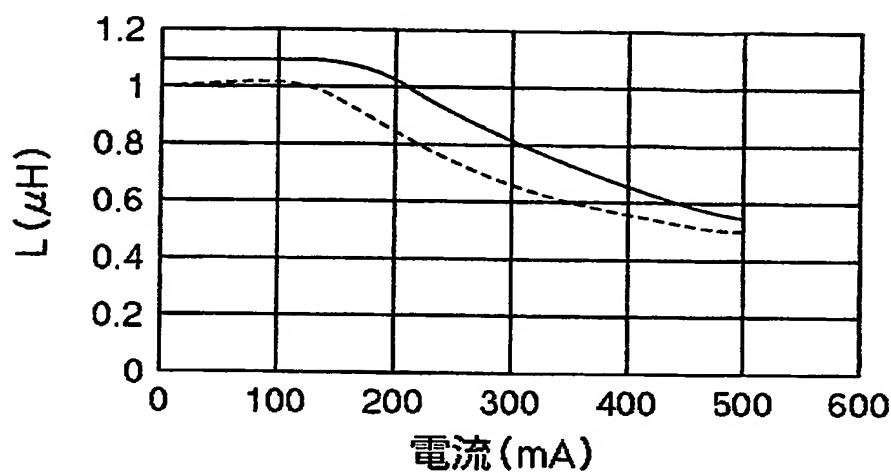
【書類名】図面  
【図1】



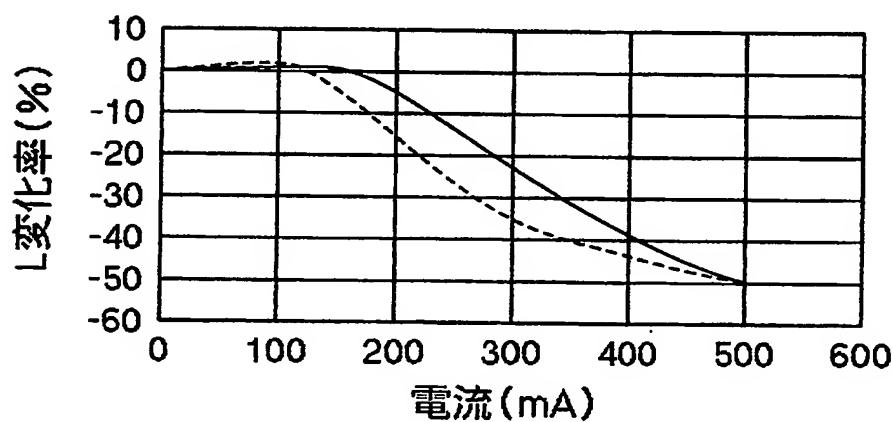
【図 2】



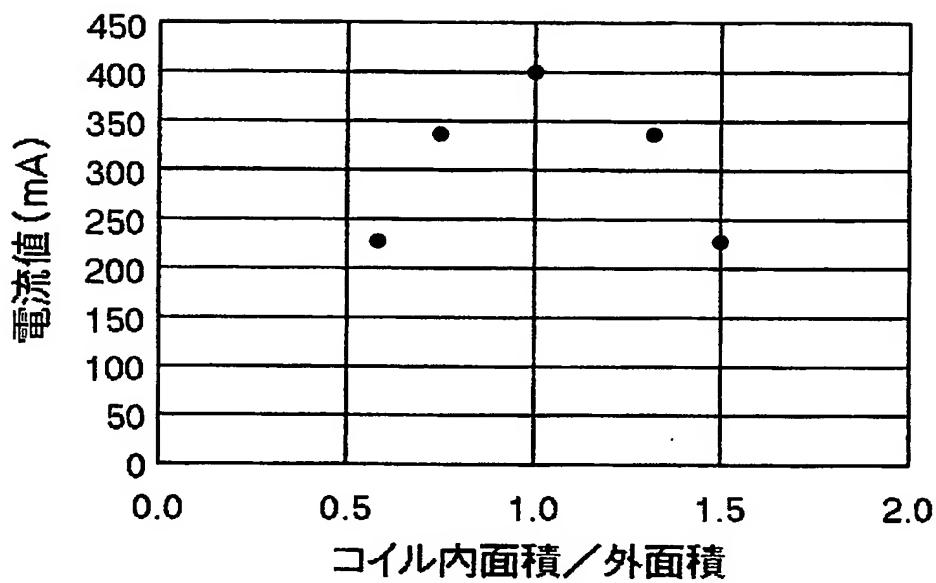
【図3】



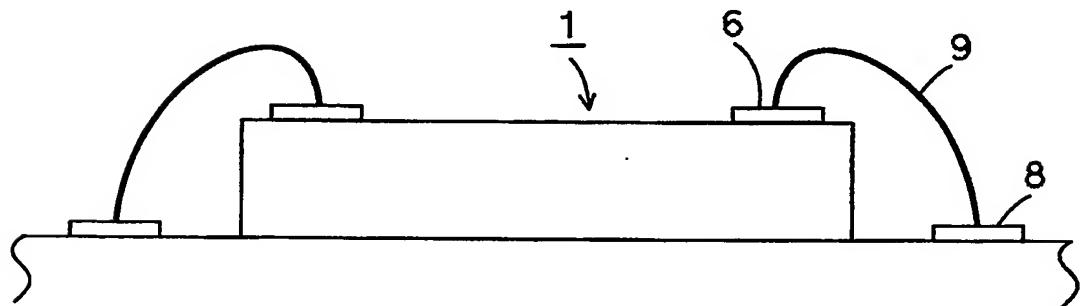
【図4】



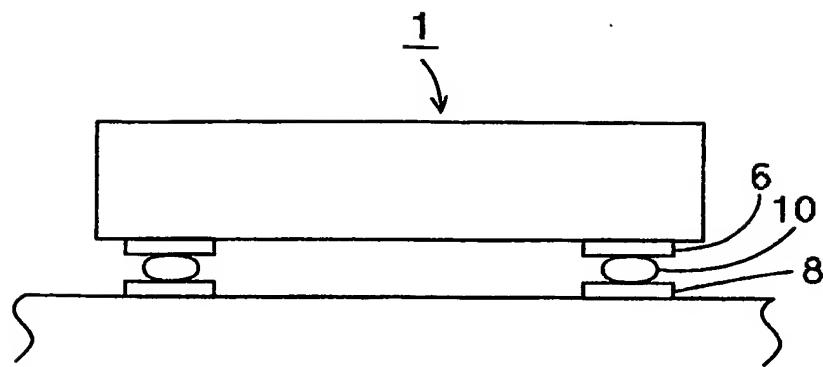
【図5】



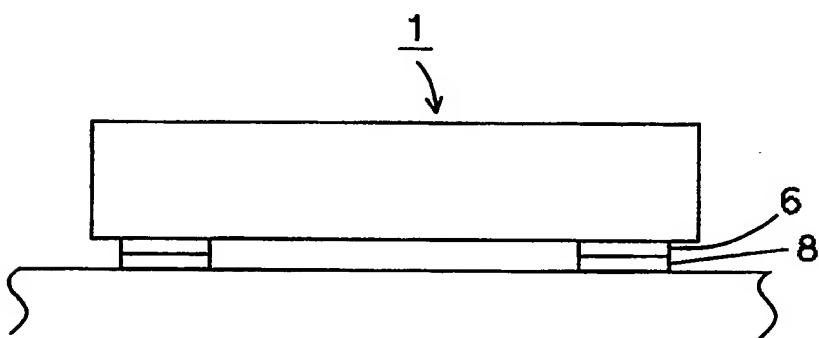
【図6】



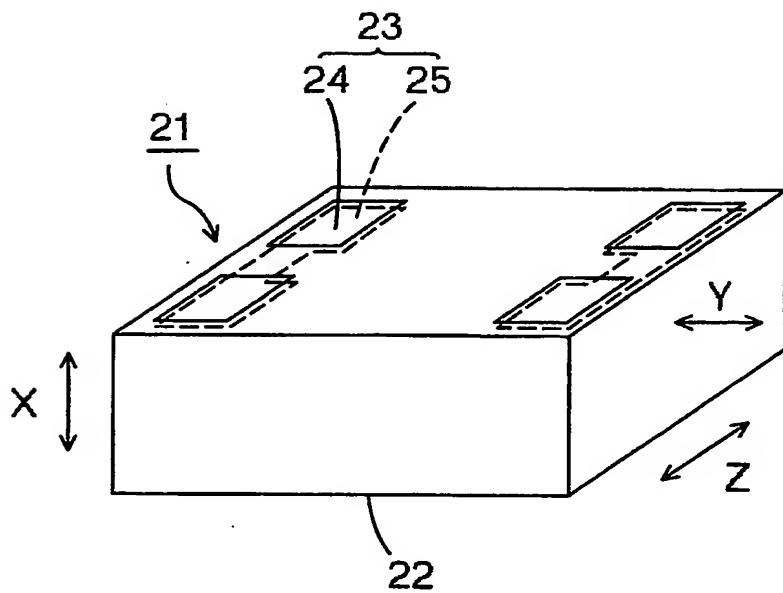
【図7】



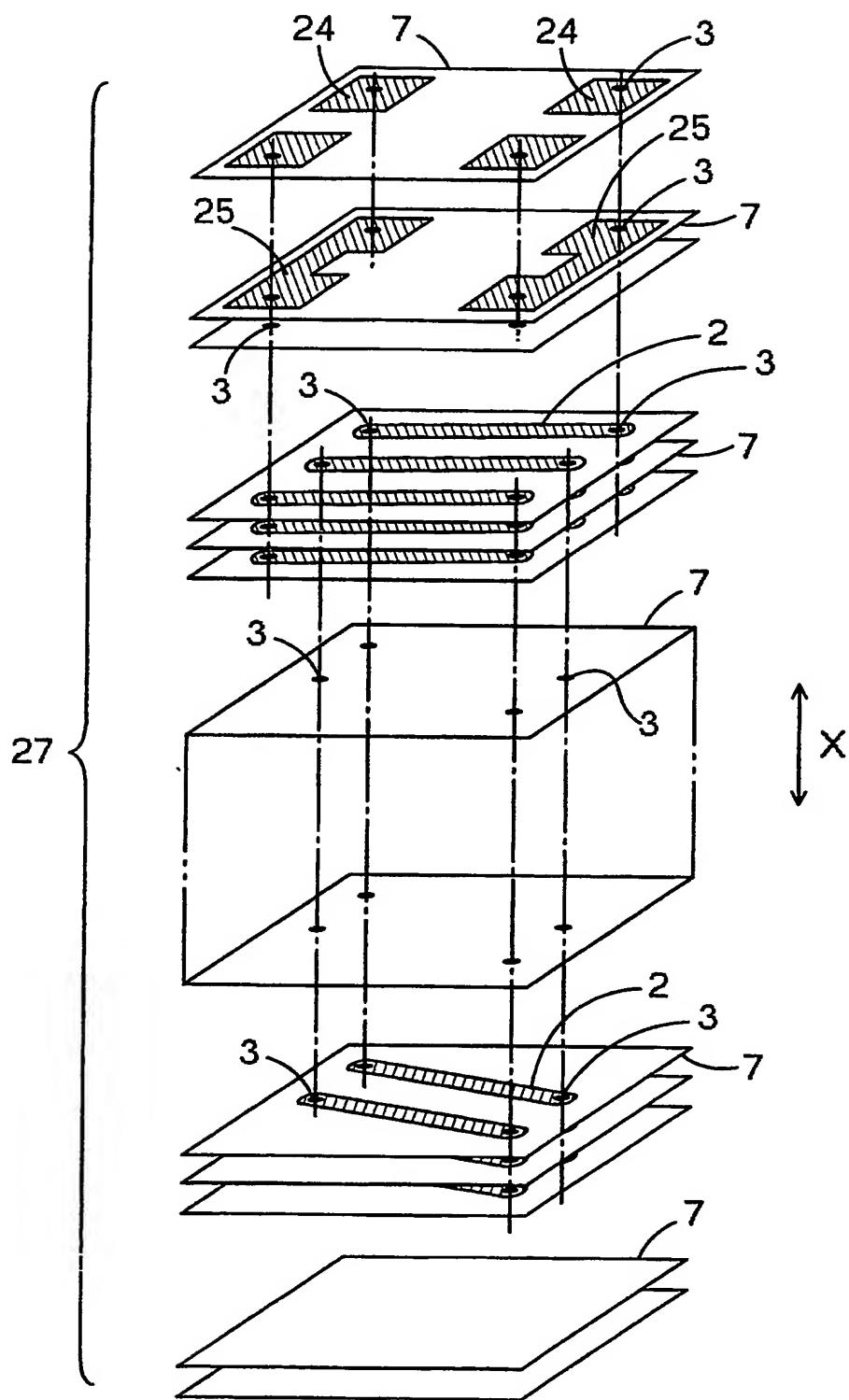
【図8】



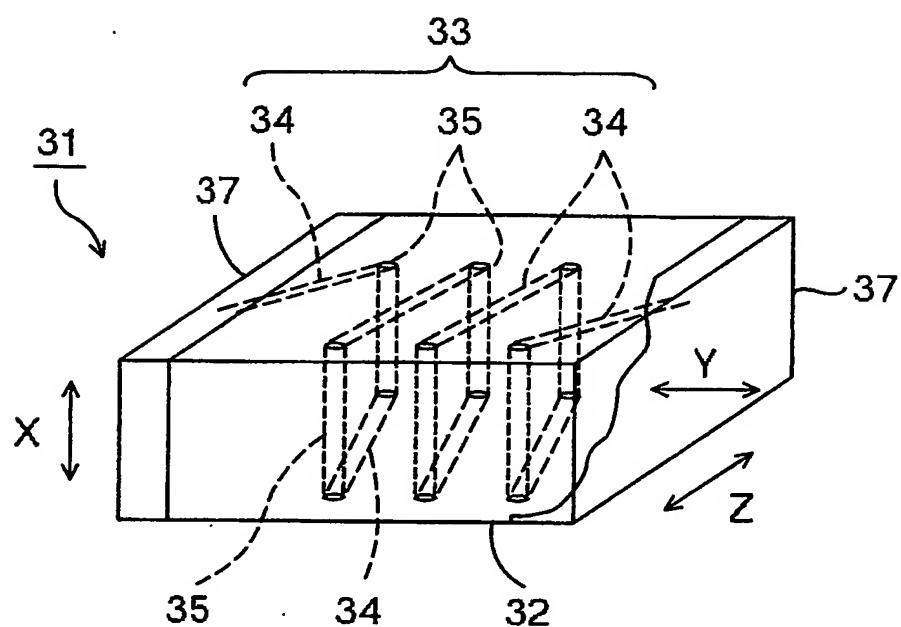
【図9】



【図10】



【図11】



【書類名】要約書

【要約】

【課題】 小型化および薄型化を実現しながらもコイル導体の内側面積と外側面積とを同等として高いL取得効率を確保することが可能であり、かつ、バイアホール間における絶縁抵抗の低下を防止することができる積層コイル部品と、その製造方法とを提供する。

【解決手段】 積層コイル部品1は、複数の帯状電極2と、帯状電極2の端部同士を接続するバイアホール3とからなるコイル導体4が、略直方体形状を有するセラミック積層体5の内部に設けられたものであって、コイル導体4の軸心方向は、セラミック積層体5の積層方向（厚み方向）Xおよび長さ方向Yのいずれとも直交する方向であるセラミック積層体5の幅方向Zと一致している。製造方法は、帯状電極2または／およびバイアホール3が形成されたセラミックグリーンシート7と、外部電極6の下地となる導体パターンが印刷されたセラミックグリーンシート7とを積層した後、圧着して焼成する工程を含んでいる。

【選択図】 図1

【書類名】 手続補正書  
【整理番号】 1150920  
【提出日】 平成16年 8月24日  
【あて先】 特許庁長官 殿  
【事件の表示】  
  【出願番号】 特願2003-352770  
【補正をする者】  
  【識別番号】 000006231  
  【氏名又は名称】 株式会社村田製作所  
  【代表者】 村田 泰隆  
【手続補正1】  
  【補正対象書類名】 特許願  
  【補正対象項目名】 発明者  
  【補正方法】 変更  
  【補正の内容】  
    【発明者】  
    【住所又は居所】 京都府長岡京市天神二丁目 26番10号 株式会社村田製作所内  
    【氏名】 前田 英一  
    【発明者】  
    【住所又は居所】 京都府長岡京市天神二丁目 26番10号 株式会社村田製作所内  
    【氏名】 田中 寛司  
    【発明者】  
    【住所又は居所】 京都府長岡京市天神二丁目 26番10号 株式会社村田製作所内  
    【氏名】 山本 高弘  
【その他】 変更（追加）の理由は、発明者山本高弘の記載を洩らしたためです。

特願 2003-352770

## 出願人履歴情報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日  
[変更理由] 新規登録  
住 所 京都府長岡京市天神二丁目26番10号  
氏 名 株式会社村田製作所
2. 変更年月日 2004年10月12日  
[変更理由] 住所変更  
住 所 京都府長岡京市東神足1丁目10番1号  
氏 名 株式会社村田製作所